

Family list

29 family members for: JP6267979

Derived from 21 applications

- 1 Transistor and process for fabricating the same
Inventor: ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/00; H01L21/28; H01L21/285 (+1)
Publication info: CN1095204C C - 2002-11-27
CN1108004 A - 1995-09-06
- 2 Transistor and making method thereof
Inventor: HIROYU CHO (JP); AKIRA TAKAYAMA (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/00; H01L21/28; H01L21/285 (+1)
Publication info: CN1154165C C - 2004-06-16
CN1215224 A - 1999-04-28
- 3 Transistor and making method thereof
Inventor: HONGYONG ZHANG (JP); AKIRA TAKAYAMA (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/00; H01L21/28; H01L21/285 (+1)
Publication info: CN1154192C C - 2004-06-16
CN1275813 A - 2000-12-06
- 4 Semiconductor device and process for fabricating the same
Inventor: HONGYONG TAKEMURA YASUHIKO TAK (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/00; H01L21/28; H01L21/285 (+1)
Publication info: CN1542929 A - 2004-11-03
- 5 Method for manufacturing semiconductor device
Inventor: YASUHIKO ZHANG HONGYONG TAKAYA (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/20; H01L21/336; H01L21/265 (+)
Publication info: CN1893000 A - 2007-01-10
- 6 Method for manufacturing semiconductor device
Inventor: YASUHIKO ZHANG HONGYONG TAKAYA (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/20; H01L21/336; H01L21/265 (+)
Publication info: CN1893001 A - 2007-01-10
- 7 Method for manufacturing semiconductor device
Inventor: YASUHIKO ZHANG HONGYONG TAKAYA (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/20; H01L29/786; H01L21/265 (+)
Publication info: CN1893118 A - 2007-01-10
- 8 THIN FILM TRANSISTOR AND MANUFACTURE THEREOF
Inventor: CHIYOU KOUYUU (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/20; H01L21/265; H01L21/324 (+10)
Publication info: JP3137797B2 B2 - 2001-02-26
JP6267978 A - 1994-09-22
- 9 MANUFACTURE FOR SEMICONDUCTOR DEVICE
Inventor: CHO KOYU (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/265; H01L21/336; H01L29/786 (+5)
Publication info: JP3362023B2 B2 - 2003-01-07
JP2000269517 A - 2000-09-29
- 10 THIN FILM TRANSISTOR AND MANUFACTURE THEREOF
Inventor: CHIYOU KOUYUU (JP); TAKAYAMA TORU (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)

(JP); (+1)

EC:**IPC:** H01L21/20; H01L21/265; H01L21/324

(+10)

Publication info: JP3637069B2 B2 - 2005-04-06**JP6267979 A** - 1994-09-22**11 HEAD COVER FOR GOLF CLUB****Inventor:** FUKUZAWA KAZUHIKO**Applicant:** BRIDGESTONE SPORTS CO LTD**EC:****IPC:** A63B55/00; A63B55/00; (IPC1-7):

A63B55/00

Publication info: JP6261962 A - 1994-09-20**12 A SEMICONDUCTOR DEVICE****Inventor:** CHANG HONG-YONG (JP); TAKAYAMA
TORU (JP); (+1)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:****IPC:** H01L29/786; H01L29/66; (IPC1-7):

H01L29/786

Publication info: KR100194448B B1 - 1999-07-01**13 A THIN FILM TR****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA
TORU (JP); (+1)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:****IPC:** H01L21/00; H01L21/28; H01L21/285 (+1**Publication info:** KR100194450B B1 - 1999-07-01**14 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA
TORU (JP); (+1)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:****IPC:** H01L21/00; H01L21/28; H01L21/285 (+1**Publication info:** KR100203982B B1 - 1999-06-15**15 Transistor and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA
TORU (JP); (+1)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** US5595944 A - 1997-01-21

Data supplied from the esp@cenet database - Worldwide

Family list29 family members for: **JP6267979**

Derived from 21 applications

16 Transistor device employing crystallization catalyst**Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US5646424 A** - 1997-07-08**17 Transistor and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US5773846 A** - 1998-06-30**18 Thin film transistor using a semiconductor film****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US6060725 A** - 2000-05-09**19 Transistor and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US6261875 B1** - 2001-07-17**20 Transistor and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:****EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US6541313 B2** - 2003-04-01**US2002048894 A1** - 2002-04-25**21 Transistor and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); TAKAYAMA TORU (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/20D; H01L21/265A; (+6)**IPC:** H01L21/20; H01L21/265; H01L21/336 (+**Publication info:** **US6939749 B2** - 2005-09-06**US2003162337 A1** - 2003-08-28

Data supplied from the esp@cenet database - Worldwide

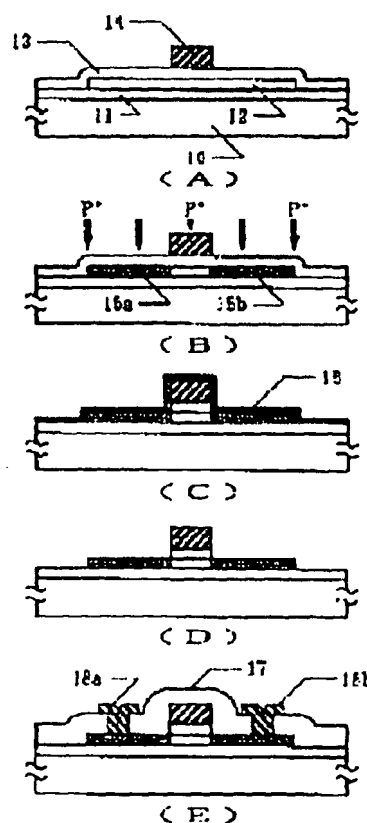
THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

Patent number: JP6267979
 Publication date: 1994-09-22
 Inventor: CHIYOU KOUYUU (JP); TAKAYAMA TORU (JP);
 TAKEMURA YASUHIKO (JP)
 Applicant: SEMICONDUCTOR ENERGY LAB (JP)
 Classification:
 - international: H01L21/20; H01L21/265; H01L21/324; H01L21/336;
 H01L29/78; H01L29/786; H01L21/02; H01L29/66;
 (IPC1-7): H01L21/336; H01L21/20; H01L21/265;
 H01L21/324; H01L29/784
 - european:
 Application number: JP19930078998 19930312
 Priority number(s): JP19930078998 19930312

Report a data error here

Abstract of JP6267979

PURPOSE: To improve throughput by having an active region of a crystalline silicon film formed on a substrate while having a catalytic element exceeding specific concentration in its source/drain regions and making a catalytic element in the active region to have concentration less than the specific concentration. **CONSTITUTION:** A foundation film 11 of silicon oxide is formed on a substrate 10 by sputtering. Next, an amorphous silicon film is piled up to crystallize. Later, the silicon film is patterned so as to form an insular silicon region 12. Further, a silicon oxide film 13 is piled up as a gate insulating film. Continuously, the silicon film is patterned so as to form a gate electrode 14. Next, the concentration of a catalytic element in the active region activating the impurity regions 15a, 15b is to be less than $1 \times 10^{17} \text{ cm}^{-3}$. Continuously, a silicon oxide film 17 is formed so as to form electrodes-wirings 18a, 18b in the source/drain regions in order to make the catalytic element to have concentration exceeding $1 \times 10^{17} \text{ cm}^{-3}$. Accordingly, a crystallization time can be shortened.



Data supplied from the esp@cenet database - Worldwide

(19) 日本特許庁 (J P)

公開特許公報 (A)

(11) 特許出願公開番号

特開平6-267979

(43) 公開日 平成6年(1994)9月22日

(51) Int. Cl.

識別記号

F I

H01L 21/336

29/784

21/20

8122-4M

9056-4M

8617-4M

H01L 29/78

311

P

21/265

P

審査請求 未請求 請求項の数 6 F I (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-78998

(22) 出願日 平成5年(1993)3月12日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 竹村 保彦

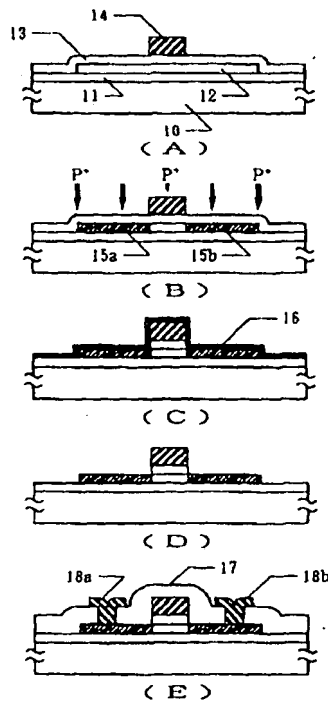
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 薄膜トランジスタおよびその作製方法

(57) 【要約】

【目的】 信頼性と特性に優れた結晶性シリコンの活性層を有する薄膜トランジスタ (TFT) および、そのような TFT を安価に製造する方法を提供する。

【構成】 アモルファスシリコン膜を結晶化させて、これにゲート絶縁膜、ゲート電極を形成し、自己整合的に不純物を注入した後、結晶化を促進する触媒元素を有する被膜を不純物領域に密着させるか、あるいは触媒元素をイオン注入等の手段で不純物領域に導入し、しかる後に、基板の歪み温度よりも低い温度でアニールしてドーピング不純物の活性化をおこなう。



【特許請求の範囲】

【請求項1】 基板上に形成された結晶性シリコン膜の活性領域を有し、そのソース／ドレイン領域には、 $1 \times 10^{11} \text{ cm}^{-2}$ を越えるの濃度の触媒元素を有し、前記活性領域での触媒元素の濃度は、 $1 \times 10^{12} \text{ cm}^{-2}$ 未満であることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも1つであることを特徴とする薄膜トランジスタ。

【請求項3】 請求項1において、触媒元素の濃度は2次イオン質量分析法によって測定された最小値であることを特徴とする薄膜トランジスタ。

【請求項4】 基板上に形成された結晶性シリコン膜と、その上に形成されたゲート電極とを有する薄膜トランジスタにおいて、前記結晶性シリコン膜の触媒元素の濃度の小さな領域は、実質的にゲート電極と同じ形状を呈していることを特徴とする薄膜トランジスタ。

【請求項5】 基板上に触媒元素の濃度が、 $1 \times 10^{12} \text{ cm}^{-2}$ 未満のアモルファスシリコン膜を形成する第1の工程と、
前記アモルファスシリコン膜を熱アニールすることによって結晶化させる第2の工程と、
前記シリコン膜上にゲート電極を形成する第3の工程と、
前記ゲート電極をマスクとして、前記シリコン膜中にドーピング不純物を導入する第4の工程と、
前記シリコン膜に密着して触媒元素を有する物質を形成する第5の工程と、
前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第6の工程とを有すること
を特徴とする薄膜トランジスタの作製方法。

【請求項6】 基板上に触媒元素の濃度が、 $1 \times 10^{12} \text{ cm}^{-2}$ 未満のアモルファスシリコン膜を形成する第1の工程と、
前記アモルファスシリコン膜を熱アニールすることによって結晶化させる第2の工程と、
前記シリコン膜上にゲート電極を形成する第3の工程と、
前記ゲート電極をマスクとして、前記シリコン膜中にドーピング不純物および $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の触媒元素を導入する第4の工程と、
前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第5の工程とを有すること
を特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(TFT)およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれに

も形成される。特に本発明は、熱アニールによる結晶化、活性化を経て作製される薄膜トランジスタに関する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT(PMOSのTFT)を作製することができず、したがって、Nチャネル型TFT(NMOSのTFT)と組み合わせて、相補型のMOS回路(CMOS)を形成することができない。

【0004】 一方、結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路(ドライバ等)をもCMOSの結晶性TFTで構成する、いわゆるモノリシック構造を有するものが知られている。このような理由から、最近では結晶性シリコンを使用したTFTの研究開発が盛んである。

【0005】

【発明が解決しようとする課題】 結晶性シリコンを得る方法の1つとして、レーザーもしくはそれと同等な強光を照射することによってアモルファスシリコンを結晶化させる方法が挙げられるが、レーザーの出力の不安定性や極めて短時間のプロセスであることに由来する不安定性のために量産実用化の目処がつかない。

【0006】 現在、実用的に採用できる考えられる方法は、熱によってアモルファスシリコンを結晶化させる方法である。この方法では、バッチ間のばらつきが少ない結晶シリコンを得ることができる。しかし、問題がないわけではない。

【0007】 通常、結晶性シリコンを得るには600℃程度の温度での長時間のアニールか、もしくは1000℃以上の高温でのアニールが必要であった。後者の方法を採用すれば選択できる基板が石英に限られ、基板コストが非常に高くなった。前者の方法では基板選択の余地

3

は広がるが、別な問題がある。

【0008】安価な無アルカリガラス基板（コーニング社7059番等）を採用した場合の従来のTFTの作製プロセスは、概ね以下のような流れである。

- ① アモルファスシリコン膜の成膜
- ② アモルファスシリコン膜の結晶化（600℃以上、24時間以上）
- ③ ゲイト絶縁膜の成膜
- ④ ゲイト電極の形成
- ⑤ ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- ⑥ ドーピング不純物の活性化（600℃以上、24時間以上）
- ⑦ 層間絶縁物の形成
- ⑧ ソース、ドレイン電極の形成

【0009】ここで、特に問題となるのは⑥のプロセスである。この段階では、多くの無アルカリガラスの歪み温度が600℃近辺（コーニング7059の場合は593℃）であるので、基板のちぢみが問題となる。最初のアニールプロセスである②の段階では、まだ、パターニングがされていないから基板の収縮は問題とはならなかった。しかし、⑥の段階では、回路のパターニングがされているため、基板が収縮すると、以後のマスクあわせができなくなり、歩留りの低下の大きな原因となる。そこで、⑥のプロセスをより低温（好ましくはガラスの歪み温度より50℃以上低い温度）でおこなうことが望まれた。

【0010】そのためには、例えば、前述のようなレーザー等を用いる方法も考えられるが、レーザーの不安定性に加えて、レーザーの照射される部分（ソース、ドレイン領域）とレーザーの照射されない部分（活性領域＝ゲイト電極の下領域）との間で温度上昇の違いから応力が発生し、信頼性が低下することが観測された。

【0011】このため、レーザー等を採用することは量産的に困難であった。一方、その他の方法としても有効な方法は見出せないのが現状であった。本発明はこのような困難な課題に対して解答を与えんとするものである。本発明は、量産性を維持しつつ、上記の問題点を解決することを課題とする。

【0012】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモ

4

ルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で熱アニールすることによって結晶化させることができる。

【0013】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{11} \text{ cm}^{-3}$ を越えること、好ましくは $5 \times 10^{11} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0014】一方、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して 10^{18} cm^{-3} を越えないことが望まれる。特に活性層として利用する場合には、十分な信頼性および特性を得るために $1 \times 10^{17} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 未満の濃度であることが必要とされる。

【0015】本発明人は、この触媒元素の効果に着目し、これを利用することによって上記の問題を解決できることを見出した。本発明におけるTFTの作製プロセスは、概ね以下のようなものである。

- ① アモルファスシリコン膜の成膜
- ② アモルファスシリコン膜の結晶化（600℃以上、24時間以上）
- ③ ゲイト絶縁膜の成膜
- ④ ゲイト電極の形成
- ⑤ ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- ⑤' 触媒元素を有する物質のシリコン膜への成膜
- ⑥ ドーピング不純物の活性化（600℃以下、8時間以内）
- ⑦ 層間絶縁物の形成
- ⑧ ソース、ドレイン電極の形成

【0016】あるいは、

- ① アモルファスシリコン膜の成膜
- ② アモルファスシリコン膜の結晶化（600℃以上、24時間以上）
- ③ ゲイト絶縁膜の成膜
- ④ ゲイト電極の形成
- ⑤ ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- ⑤' 触媒元素の導入（イオン注入もしくはイオンドーピング法による）
- ⑥ ドーピング不純物の活性化（600℃以下、8時間以内）
- ⑦ 層間絶縁物の形成
- ⑧ ソース、ドレイン電極の形成

【0017】これらの工程において、⑤および⑤'はその順序を逆転させることも可能である。本発明において、上記工程⑤'によって主としてソース、ドレイン領域に導入された触媒元素は、その領域の結晶化を著しく促進する。そのため、活性化のためには、600℃以下、典型的には550℃以下の温度で十分であり、また、アニール時間も8時間以内、典型的には4時間以内で十分である。特に、後者のようにイオン注入法やイオンドーピング法によって最初から均等に触媒元素が分布している場合には、極めて結晶化が進行しやすかった。

【0018】本発明の優れた点は、シリコンに有害な触媒元素をTFTに添加するものの、その濃度は活性領域では著しく低い($1 \times 10^{14} \text{ cm}^{-3}$ 以下)ことである。すなわち、いずれのプロセスを採用しても、活性領域の上にゲート電極が存在するので、活性領域にじかに触媒元素が密着したり、注入されたりすることはない。その結果、TFTの信頼性、特性は何ら損なわれることはない。熱平衡状態を利用するアニールであるので、レーザーを利用する場合の温度差も生じない。以下に実施例を用いて、より詳細に本発明を説明する。

【0019】

【実施例】

【実施例1】図1に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)10上にスパッタリング法によって厚さ2000Åの酸化珪素膜の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åの真性(I型)のアモルファスシリコン膜を堆積した。そして、このアモルファスシリコン膜を窒素雰囲気中、600℃、48時間アニールして結晶化させた。アニール後、シリコン膜をパターニングして、島状シリコン領域12を形成し、さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜13をゲート絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0~0.5、例えば0.1以下とした。

【0020】引き続き、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターニングして、ゲート電極14を形成した。(図1(A))

【0021】次に、プラズマドーピング法によって、シリコン領域にゲート電極をマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{13} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{13} \text{ cm}^{-2}$ とした。この結果、N型の不

純物領域15a、15bが形成された。(図1(B))

【0022】次に、不純物領域上の酸化珪素膜13をエッチングして、不純物領域15を露出させ、スパッタリング法によって、平均的に厚さ5~200Å、例えば20Åの珪化ニッケル膜(化学式NiSi_x、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$)16を図に示すように全面に形成した。20Å程度の厚さでは膜は連続的なものではなく、どちらかという粒子の集合体の様相を呈していたが、本実施例では問題はない。(図1(C))

【0023】その後、窒素雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このとき、先にN型不純物領域15aおよび15bにはその上に被着した珪化ニッケル膜からニッケルが拡散するので、このアニールによって再結晶化が容易に進行した。こうして不純物領域15a、15bを活性化した。(図1(D))

【0024】続いて、厚さ6000Åの酸化珪素膜17を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線18a、18bを形成した。最後に、1気圧の水素雰囲気中、350℃、30分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。(図1(E))
得られた薄膜トランジスタのソース、ドレイン領域および活性領域のニッケルの濃度を2次イオン質量分析(SIMS)法によって測定したところ、前者は $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-3}$ 程度、後者は測定限界($1 \times 10^{14} \text{ cm}^{-3}$)以下であった。

【0025】【実施例2】図2に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)20上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åの真性(I型)のアモルファスシリコン膜を堆積した。そして、このアモルファスシリコン膜を窒素雰囲気中、600℃、48時間アニールして結晶化させた。その後、このシリコン膜をパターニングして、島状シリコン領域22を形成した。

【0026】さらに、テトラ・エトキシ・シラン(Si(OC₂H₅)₄)、TEOS)と酸素を原料として、プラズマCVD法によって結晶シリコンTFTのゲート絶縁膜として、厚さ1000Åの酸化珪素23を形成した。原料には、上記ガスに加えて、トリクロロエチレン(C₂Cl₄)を用いた。成膜前にチャンバーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素300SCCM、TEOSを15SCCM、トリクロロエチレンを2SCCMを導入して、酸化珪素膜の成膜をおこなっ

た。基板温度、RFパワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンバーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0027】引き続いて、スパッタリング法によって、厚さ3000～8000Å、例えば6000Åのタンタル膜を堆積した。タンタルの代わりにチタンやタングステン、モリブデン、シリコンでもよい。但し、後の活性化に耐えられるだけの耐熱性が必要である。なお、この酸化珪素23とタンタル膜の成膜工程は連続的におこなうことが望ましい。そして、タンタル膜をパターンニングして、TFTのゲイト電極24を形成した。さらに、このタンタル配線の表面を陽極酸化して、表面に酸化物層25を形成した。陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。(図2(A))

【0028】次に、プラズマドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(磷)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を80kVとした。ドーズ量は2×10¹³cm⁻²とした。この結果、N型の不純物領域26a、26bが形成された。このとき、陽極酸化物のために、ゲイト電極24と不純物領域26とはオフセット状態となっている。(図2(B))

【0029】さらに、今度はイオン注入によって、シリコン領域にゲイト電極をマスクとしてニッケルイオンを注入した。ドーズ量は2×10¹³～2×10¹⁴cm⁻²、例えば5×10¹³cm⁻²とした。この結果、N型の不純物領域26a、26bのニッケルの濃度は、5×10¹⁴cm⁻²程度になった。(図2(C))

【0030】その後、窒素雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このとき、N型不純物領域26aおよび26bにはニッケルイオンが注入されているので、このアニールによって再結晶化が容易に進行した。こうして不純物領域26a、26bを活性化した。(図2(D))

【0031】続いて、層間絶縁物として厚さ2000Åの酸化珪素膜27をTEOSを原料とするプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、酸化チタンとアルミニウムの多

層膜によってソース、ドレイン電極・配線28a、28bを形成した。以上の工程によって半導体回路が完成した。(図2(E))

【0032】作製された薄膜トランジスタの電界効果移動度は、ゲイト電圧10Vで70～100cm²/Vs、しきい値は2.5～4.0V、ゲイトに-20Vの電圧を印加したときのリーク電流は10⁻¹¹A以下であった。

【0033】

【発明の効果】本発明は、例えば、500℃というような低温、かつ、4時間という短時間でシリコン中のドーピング不純物の活性化をおこなうことによって、スループットを向上させることができる。加えて、従来、600℃以上のプロセスを採用した場合にはガラス基板の縮みが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消できた。

【0034】このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの半導体回路(マトリクス回路等)を切り出すことによって単価を大幅に低下させることができる。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

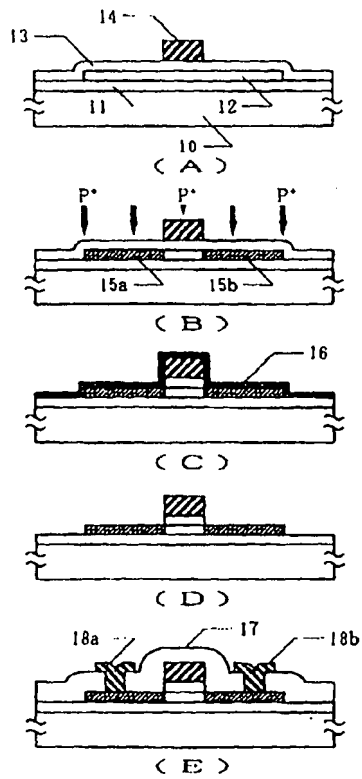
【図1】 実施例1の作製工程断面図を示す。

【図2】 実施例2の作製工程断面図を示す。

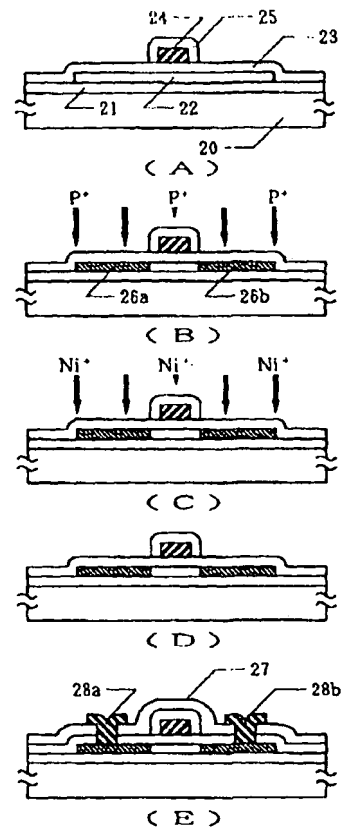
【符号の説明】

- 10・・・基板
- 11・・・下地絶縁膜(酸化珪素)
- 12・・・島状シリコン領域
- 13・・・ゲイト絶縁膜(酸化珪素)
- 14・・・ゲイト電極(磷ドーパされたシリコン)
- 15・・・ソース、ドレイン領域
- 16・・・触媒元素を含んだ被膜(珪化ニッケル)
- 17・・・層間絶縁物(酸化珪素)
- 18・・・金属配線・電極(酸化チタン/アルミニウム)

【図1】



【図2】



フロントページの続き

(51) Int. Cl.³

H01L 21/265

21/324

識別記号

序内整理番号

F I

技術表示箇所

Z 8617-4M